


CERTIFICATE OF TRANSLATION

I, SHUSAKU YAMAMOTO, patent attorney of Fifteenth Floor, Crystal Tower, 1-2-27 Shiromi, Chuo-ku, Osaka 540-6015, Japan HEREBY CERTIFY that I am acquainted with the English and Japanese languages and that the attached English translation is a true English translation of what it purports to be, a translation of Japanese Laid-open Publication No. 60-156269, entitled "Direct-current to direct-current converter", laid-opened on August 16, 1985.

Additionally, I verify under penalty of perjury under the laws of the United States of America that the foregoing is true and correct.

Executed this 11th day of June, 1998.


SHUSAKU YAMAMOTO

THIS PAGE BLANK (USP 12)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

Translation of Japanese Laid-Open Publication

Laid-Open Publication Number: 60-156269

Laid-Open Publication Date: August 16, 1985

Title of the Invention: Direct-current to direct-current converter

Application Number: 59-11459

Filing Date: January 25, 1984

Inventor(s): Y. UEKI ET AL.

Applicant: Fujitsu, Ltd.

Specification

1. Title of the Invention

Direct-current to direct-current converter

2. Claim

A direct-current to direct-current converter, in which a direct current flowing in a primary coil of a transformer is switched on or off to induce a voltage in a secondary coil of the transformer; and a rectifying element, a capacitor and a choke coil are connected in series to a closed loop including the secondary coil, and furthermore a circulating element is connected to a circulation path which bypasses the secondary coil and the rectifying element so as to provide an output voltage from both of two ends of the capacitor,

the direct-current to direct-current converter being characterized in that: the rectifying element and the circulating element are both a field effect transistor; the field effect transistors are driven by voltages having opposite phases to each other which are induced by another

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

secondary coil of the transformer so as to provide the conduction with directionality; and the direct-current to direct-current converter further comprises a comparator for comparing the output voltage with a constant value, and a gate voltage controlling transistor which is controlled by an output from the comparator and reduces the voltage applied between a gate and a source of each of the field effect transistors as the output voltage becomes lower than the constant value.

3. Detailed Description of the Invention

Field of the Invention:

The present invention relates to a pulse width controlled-type direct-current to direct-current (DC-DC) converter including a circuit for suppressing an increase in the output voltage when the load is light.

Prior Art and Problems thereof

Figure 1 shows an example of a conventional pulse width controlled-type DC-DC converter. A switching transistor Tr_0 is connected in series with a primary coil N_1 of a transformer T , and a DC voltage V_i is applied to the connected switching transistor Tr_0 and primary coil N_1 . The transistor Tr_0 is turned on or off in this state to cause an electric current to intermittently flow in the primary coil N_1 . The voltage induced to the secondary coil N_2 (coil ratio of $N_1:N_2=n:1$) at this point is rectified by a rectifying diode D_1 , thus providing an output current I_0 . A comparator CMP_1 compares an output voltage V_0 with a reference value E_1 and applies the difference to a pulse (rectangular wave) generator PG , thereby generating a pulse P for driving a transistor Tr_1 . The pulse P turns the

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

transistor Tr0 on or off so that the output voltage V0 is equal to the reference value E1 (the duty ratio of the pulse P changes). Letters D3 represent a diode for a fly wheel, and forms a circulation path on the primary coil side together with a coil N3. In other words, when the transistor Tr0 is turned off, the electric current in the primary coil N1 is blocked, and an overvoltage tends to be generated at this point. However, since a voltage is generated in the coil N3 and causes a current having a polarity to charge a power supply Vi via Vi and D3, the generation of the overvoltage is prevented.

The current rectified by the diode D1 becomes an output current I0 and also charges a capacitor C. The charged current and the output current I0 passing through the load flow to the coil N2 via a choke coil L. When the voltage induced in the secondary coil N2 has an opposite polarity (when the transistor Tr0 is off), the current stops flowing in the coil N2 and circulates via the diode D2 for a fly wheel instead. A choke current IL flowing in the coil L has a triangular waveform as shown in Figure 2(b). Letters Ton represent a period in which the transistor Tr0 is on. The current IL linearly increases during this period and linearly decreases during the off period Toff. The value of the above-mentioned load (output) current I0 is approximately equal to the average value of the current IL.

The voltage VL generated in the coil L has a rectangular waveform in synchronization with the pulse P as shown in Figure 2(a). The voltage VL and the amplitude ΔI_L of the fluctuation of the current IL have the following

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

relationship where the input voltage to the transformer T is V_{in} , the forward voltage of the diode D1 is V_F , and letters n , V_0 , L and T_{on} represent the elements described above:

$$V_L = V_{in} \cdot 1/n - V_F - V_0 \dots (1)$$

$$\Delta I_L = V_L \cdot T_{on} / L \dots (2)$$

Accordingly, when the load is large so as to realize $I_0 \geq \Delta I_L / 2$, I_L continuously flows, although fluctuating as shown in Figure 2(b). In contrast, when the load is small so as to realize $I_0 < \Delta I_L / 2$, the choke current I_L flows intermittently (a current is supplied from the capacitor C to the load while $I_L = 0$) as shown in Figure 2(c), and thus a problem occurs that the output voltage V_0 is increased by the voltage generated in the choke coil L.

There are two conventional methods to solve the problem. According to one of the two methods, the value of ΔI_L is reduced in order to maintain the relationship of $I_0 \geq \Delta I_L / 2$. However, in accordance with this method, the inductance of the coil L needs to be increased as can be appreciated from expression (2). Therefore, the outer dimension is enlarged and the production cost is increased. According to the other method, the value of I_0 is kept high in order to maintain the relationship expressed by the above-described inequality. For realizing this, it is necessary to connect a dummy resistor R_D to the output terminal and send a part of a load current I_D to the dummy resistor R_D . Therefore, efficiency is lowered due to the ever-present power loss, and the reliability when the load

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

is heavy is reduced due to the heat generated at various elements of the converter.

Objective of the Invention:

The present invention has an objective of reducing the voltage V_L applied to the choke coil when the load is light so as to prevent the intermittent flow of the choke current I_L and thus to prevent an increase in the output voltage V_O .

Structure of the Invention:

The present invention relates to a direct-current to direct-current converter, in which a direct current flowing in a primary coil of a transformer is switched on or off to induce a voltage in a secondary coil of the transformer; and a rectifying element, a capacitor and a choke coil are connected in series to a closed loop including the secondary coil, and furthermore a circulating element is connected to a circulation path which bypasses the secondary coil and the rectifying element so as to provide an output voltage from both of two ends of the capacitor,

the direct-current to direct-current converter being characterized in that: the rectifying element and the circulating element are both a field effect transistor; the field effect transistors are driven by voltages having opposite phases to each other which are induced by another secondary coil of the transformer so as to provide the conduction with directionality; and the direct-current to direct-current converter further comprises a comparator for comparing the output voltage with a constant value, and a gate voltage controlling transistor which is controlled by an output from the comparator and reduces the voltage

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

applied between a gate and a source of each of the field effect transistors as the output voltage becomes lower than the constant value. Hereinafter, the present invention will be described in detail with reference to the drawings.

Examples of the Invention:

Figure 3 is a circuit diagram illustrating an important part of an example of the present invention. In Figure 3, identical elements previously discussed with respect to Figure 1 bear identical reference numerals, except that parts corresponding to D3, N3, PG, CMP and E1 in Figure 1 are omitted. This example is different from the example shown in Figure 1 in that the diodes D1 and D2 in Figure 1 are replaced with field effect transistors (FETs) Q1 and Q2, that the FETs Q1 and Q2 are switched on or off alternately by voltages (having an opposite polarity to N2) generated in coils N4 and N5 so as to provide a rectification function, and that the level (high or low) of the output voltage V0 is detected by the comparator CMP2 so as to control the conductivities of the FETs Q1 and Q2. Letters Tr1 and Tr2 represent transistors for controlling the conductivities of Q1 and Q2, and the transistors Tr1 and Tr2 are connected between gates and sources of Q1 and Q2. Letters R1 and R2 represent base resistors thereof.

In the transistors Tr1 and Tr2, collectors and emitters thereof are connected in parallel to the gates and sources of the FETs Q1 and Q2. Accordingly, when the conductivities of the transistors Tr1 and Tr2 increase, the potentials applied between the gates and sources of the FETs Q1 and Q2 decrease, resulting in reduction in the conductivities of the FETs Q1 and Q2 (the resistances

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

increase). When the conductivities of the transistors Tr1 and Tr2 decrease, the converter operates in the opposite manner. When the transistors Tr1 and Tr2 are off, the FETs Q1 and Q2 perform a perfect switching operation. When the output voltage V_0 is higher than a constant value E_2 , the comparator CMP2 turns off both the transistors Tr1 and Tr2 so as to turn on or off the FETs Q1 and Q2 in accordance with the voltages generated in the coils N4 and N5. This operation is similar to the operation conducted in the circuit shown in Figure 1 when the load is heavy and the diodes D1 and D2 are used in lieu of Q1 and Q2.

In contrast, when the output voltage V_0 is lower than the constant value E_2 , the comparator CMP2 applies a voltage corresponding to the difference to bases and emitters of the transistors Tr1 and Tr2 so as to cause an analog operation of the transistors Tr1 and Tr2. As a result, the voltages applied between the gates and sources of the FETs Q1 and Q2 decrease, and thus the FETs Q1 and Q2 conduct an analog operation. However, since the FETs Q1 and Q2 are completely turned off, such an analog operation does not affect the rectification function. Since the resistance when the FETs Q1 and Q2 are turned on is higher than that during the switching operation, the voltage V_{DS} between the drain and source is higher than that during the switching operation. The voltage V_{DS} corresponds to the forward voltage V_F of the diode D1 in Figure 1. Therefore, as can be appreciated from expression (1), when the voltage V_{DS} increases, the voltage V_L generated in the choke coil L decreases and thus the amplitude ΔI_L of the choke current I_L decreases. Accordingly, even when the current I_0 is small due to the small load, the relationship of $I_0 \geq \Delta I_L / 2$

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

is easily maintained, so that an increase in the output voltage V_D can be suppressed. When the FET Q_1 performs an analog operation, the load is light and the current I_O is small. Therefore, the total heat generation is small compared to the case of a conventional diode D_1 which always has V_F remaining when being on. In the case where MOSFETs are used as the FETs Q_1 and Q_2 , the controlling range is about 5V, which is the voltage between the gate and source. In the case where bipolar transistors are used, the controlling range is reduced to only about 0.7V, which is the voltage between the base and emitter.

The FET Q_2 is turned on or off oppositely to the FET Q_1 and thus acts as a unidirectional element having the same polarity as that of the diode D_2 in Figure 1. The conductivity of the FET Q_2 is controlled by the transistor Tr_2 in order to restrict the circulating current so as to prevent I_L from becoming 0.

Effect of the Invention

As described above, the present invention has an advantage of, in a DC-DC converter, restricting an increase in the output voltage when the load is light, without increasing the smoothing choke coil or connecting an extra dummy resistor on the load side.

4. Brief Description of the Drawings

Figure 1 is a circuit diagram illustrating an example of a conventional DC-DC converter, Figure 2 is an operational waveform diagram thereof, and Figure 3 is a circuit diagram illustrating an example according to the present invention.

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

In the figures, T is a transformer; N1 is a primary coil; Tr0 is a switching element; N2, N4 and N5 are secondary coils; Q1 is a FET for rectification; Q2 is a FET for circulation; Tr1 and Tr2 are transistors for controlling the gate voltage; C is a capacitor; L is a choke coil; and CMP2 is a comparator for detecting an output voltage.

THIS PAGE BLANK (USPTO)

Cはコンデンサ、Lはチャークコイル、CMP1
は出力電圧検出用コンパレータである。

特開60-156269(4)

出 願 人 富 士 通 株 式 会 社
代理人弁理士 青 柳 社

Fig. 1

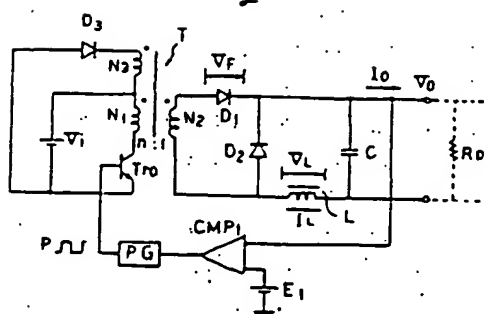


Fig. 2

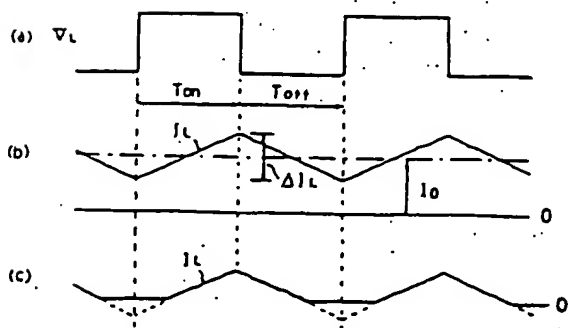
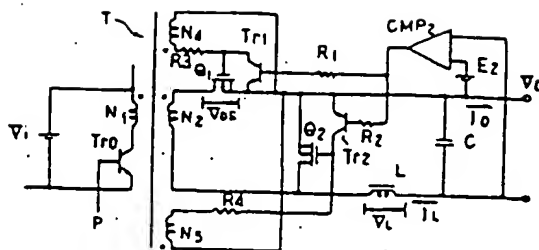


Fig. 3



THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭60-156269

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)8月16日

H 02 M 3/28

6957-5H

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 直流-直流コンバータ

⑰ 特 願 昭59-11459

⑱ 出 願 昭59(1984)1月25日

⑲ 発 明 者 植 木 洋 一 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発 明 者 鷲 尾 敏 文 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
⑲ 代 理 人 弁 理 士 青 柳 益

RECEIVED
OCT. 08. 1997
S. YAMAMOTO

明 細 書

1. 発明の名称

直流-直流コンバータ

2. 特許請求の範囲

トランスの1次巻線に流れる直流電流をスイッチング素子でオン、オフさせることにより該トランスの2次巻線に電圧を誘起させ、さらに該2次巻線を含む閉ループに整流素子、コンデンサおよびチョークコイルを直列に接続すると共に、該2次巻線および整流素子を迂回する導流路に直流素子を接続して該コンデンサの両端から出力電圧を得るようにした直流-直流コンバータにおいて、
該整流素子および直流素子をいずれも電界効果トランジスタとし、またこれらのトランジスタを前記トランスの他の2次巻線に誘起される互いに逆位相の電圧で駆動するようにして導通に方向性を持たせ、さらに前記出力電圧を一定値と比較するコンパレータと、該コンパレータの出力により制御され、前記各電界効果トランジスタのゲート、ソース間に加わる電圧を、該出力電圧が該一定値

より低くなるにつれて低下させるゲート電圧制御用のトランジスタとを備えてなることを特徴とする直流-直流コンバータ。

3. 発明の詳細な説明

発明の技術分野

本発明は、軽負荷時の出力電圧上昇を抑圧する回路を備えたパルス幅制御型直流-直流(DC-DC)コンバータに関する。

従来技術と問題点

第1図は従来のパルス幅制御型DC-DCコンバータの一例を示す。トランスTの1次巻線N₁と直列にスイッチング用のトランジスタT_rを接続し、これらに直流電圧V_iを印加する。そしてトランジスタT_rをオン、オフして1次巻線N₁に断続的に電流を流し、そのとき2次巻線N₂(巻線比はN₁:N₂=n:1)に誘起される電圧を整流用ダイオードD₁で整流して出力電流I_oを得る。コンパレータCMP₁は出力電圧V_oを基準値E₁と比較し、その差電圧をパルス(矩形波)発生器PGに与えてトランジスタT_rを駆

動するパルスPを発生させる。このパルスPは出力電圧V_oが基準電圧E₁に至るようにトランジスタT_{ro}をオンオフする(パルスPのデューティが変化)。D₁はフライホイール用ダイオードで、巻線N₁と共に1次側の整流路を形成する。即ち、トランジスタT_{ro}がオフになると1次巻線N₁の電流は断たれ、このとき過電圧が発生しようとするが、これは巻線N₁に電圧を発生し、この電圧がV_i、D₁を流って電流V_iを充電する極性の電流を成し、これにより過電圧の発生を阻止する。

ダイオードD₁で整流された電流は出力電流I_oになると共にコンデンサCを充電し、そしてこの充電電流及び負荷を流した出力電流I_oはチョークコイルLを経て巻線N₂に流れるが、2次巻線N₂に誘起する電圧が逆極性のとき(トランジスタT_{ro}がオフのとき)電流は該巻線N₂を流れなくなり、代ってフライホイール用ダイオードD₁を通して逆流する。コイルLに流れるチョーク電流I_Lは第2図(N)のような三角波となる。T_{on}は

トランジスタT_{ro}のオン期間で、この期間に電流I_Lは直線的に増加し、逆にオフ期間T_{off}に直線的に減少する。前述の負荷(出力)電流I_oは該Vの平均値である。

ところで、コイルLに発生する電圧V_Lは第2図(N)に示す如くパルスPに同期した矩形波となり、該V_Lと、電流I_Lの変動分の振幅ΔI_Lは、トランスTの入力電圧をV_i、ダイオードD₁の順方向電圧をV_p、 α 、V_o、L、T_{on}は前述の通りとして、

$$V_L = V_i \alpha \cdot \frac{1}{\alpha} - V_p - V_o \quad \dots\dots(1)$$

$$\Delta I_L = \frac{V_L \cdot T_{on}}{L} \quad \dots\dots(2)$$

の関係にあるので、負荷が重くI_o ≥ ΔI_L / 2であればI_Lは第2図(N)のように変動はするが連続して流れる。しかし、負荷が軽くI_o < ΔI_L / 2であると図(N)のようにチョーク電流I_Lは断続し(I_L = 0の期間はコンデンサCから負荷に電流が供給される)、このためチョークLに発生する電圧で出力電圧V_oが上昇する問題を生ず

る。

従来はこの点を解決するために2つの方法を用いている。1つはI_o ≥ ΔI_L / 2の関係を維持するためにΔI_Lの値を小さくしようとする方法である。しかしながらこの方法では図式から明らかなようにコイルLのインダクタンスを増大させねばならないので、外形寸法が大きくなり、また高価になる欠点がある。他の方法は上記の不等式の関係を維持するためにI_oの値を大きく保とうとするものである。このためには出力端にダミー抵抗R_oを接続してここに負荷電流I_oの一部を流す必要があるもので、常に電力損失があって効率が悪く、また特に重負荷時に各部発熱により信頼性を低下させる欠点がある。

発明の目的

本発明は、軽負荷時にチョークコイルに加わる電圧V_Lを小さくすることでチョーク電流I_Lの断続を防止し、出力電圧V_oの上昇を防止しようとするものである。

発明の構成

本発明は、トランスの1次巻線に流れる整流電流をスイッチング素子でオン、オフさせることにより該トランスの2次巻線に電圧を誘起させ、さらに該2次巻線を含む閉ループに整流素子、コンデンサおよびチョークコイルを直列に接続すると共に、該2次巻線および整流素子を迂回する整流路に整流素子を接続して該コンデンサの両端から出力電圧を得るようにした直流-直流コンバータにおいて、該整流素子および整流素子をいずれも電界効果トランジスタとし、またこれらのトランジスタを前記トランスの他の2次巻線に誘起される互いに逆位相の電圧で駆動するようにして導通に方向性を持たせ、さらに前記出力電圧を一定値と比較するコンパレータと、該コンパレータの出力により制御され、前記各電界効果トランジスタのゲート、ソース間に加わる電圧を、該出力電圧が該一定値より低くなるにつれて低下させるゲート電圧制御用のトランジスタとを備えてなることを特徴とするが、以下図示の実施例を参照しながらこれを詳細に説明する。

発明の実施例

第3図は本発明の一実施例を示す要部回路図で、第1図と同一部分には同一符号が付してある。但し、第1図の D_1 、 N_1 、 P_1 、 CMP 、 E_1 に相当する部分は省略してある。本例が第1図と異なる主な点は、第1図のダイオード D_1 、 D_2 を電界効果トランジスタ(FET) Q_1 、 Q_2 に代え、そのオン、オフ期間を電圧 N_1 、 N_2 に発生する電圧(極性が N_1 とは逆)で交互に切換えて整流作用をもたせると共に、コンパレータ CMP で出力電圧 V_o の高、低を検出してFET Q_1 、 Q_2 の導通度を制御するようにした点にある。T r_1 、T r_2 は該 Q_1 、 Q_2 の導通度制御用のトランジスタで Q_1 、 Q_2 のゲート、ソース間に接続され、R $_1$ 、R $_2$ はそれらのベース抵抗である。

トランジスタT r_1 、T r_2 はそのコレクタ、エミッタ間をFET Q_1 、 Q_2 のゲート、ソース間に並列接続したものであるから、トランジスタT r_1 、T r_2 の導通度が増せばFET Q_1 、

Q_2 のゲート、ソース間に印加される電位が低下し、FET Q_1 、 Q_2 の導通度が低下する(抵抗値が増す)。トランジスタT r_1 、T r_2 の導通度が減少すれば逆の関係になり、トランジスタT r_1 、T r_2 がオフであればFET Q_1 、 Q_2 は完全なスイッチング動作をする。コンパレータ CMP は出力電圧 V_o が一定値 E_1 より高ければトランジスタT r_1 、T r_2 を共にオフにしてFET Q_1 、 Q_2 を電圧 N_1 、 N_2 に発生する電圧に従い交互にオン、オフ動作させる。これは負荷が重い場合で、 Q_1 、 Q_2 をダイオード D_1 、 D_2 とした第1図の回路と同様である。

これに対し出力電圧 V_o が一定値 E_1 より低いと、コンパレータ CMP はその差に応じた電圧をトランジスタT r_1 、T r_2 のベース、エミッタ間に印加してこれらのトランジスタをアナログ動作させる。この結果、FET Q_1 、 Q_2 のゲート、ソース間に印加される電位は低下するので、FET Q_1 、 Q_2 もアナログ動作する。但し、これらのFET Q_1 、 Q_2 のオフは完全に行な

われるので整流作用には支障がない。ただ、オン時の抵抗値がスイッチング動作時より高くなるので、その分ドレイン、ソース間電圧 V_{ds} はスイッチング動作時より高くなる。この電圧 V_{ds} は第1図のダイオード D_1 の順方向電圧 V_F に相当するので、これが高くなるということは(1)式から明らかのようにチョークコイルLに発生する電圧 V_L を低くし、延いてはそのチョーク電流I $_L$ の振幅 ΔI_L を減少させる。このため、軽負荷で電流I $_L$ が小なる場合でも $I_{L0} \approx \Delta I_L / 2$ の関係を維持しやすく、出力電圧 V_o の上昇を抑圧できる。また、FET Q_1 をアナログ動作させるときは軽負荷で電流I $_L$ が小さいため、常にオン時に V_F が極る従来のダイオード D_1 より、むしろトータルの発熱量は少ない。さらに Q_1 、 Q_2 にMOS FETを使用するとその制御極性はゲート、ソース間電圧の5V程度の幅にすることができるが、これをバイポーラトランジスタにするとそのベース、エミッタ間電圧の約0.7Vにしかならず、制御極性が狭くなる。

FET Q_2 のオン、オフはFET Q_1 と逆になり、これにより第1図のダイオード D_2 と同じ極性の順方向電圧となる。このFET Q_1 に対してもトランジスタT r_2 を設けてその導通度を制御しているのは整流電流を制限してI $_L$ が0になるのを防ぐためである。

発明の効果

以上述べたように本発明によれば、DC-DCコンバータにおいて平滑用のチョークコイルを大きくせず、また負荷側に無駄なダミー抵抗を接続する必要もなく、軽負荷時の出力電圧の上昇を抑圧できる利点がある。

4. 図面の簡単な説明

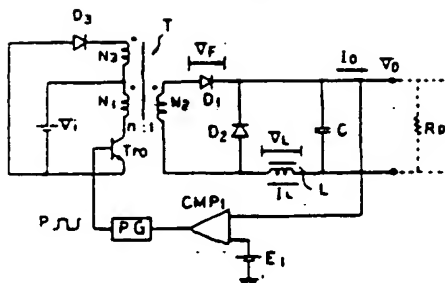
第1図は従来のDC-DCコンバータの一例を示す回路図、第2図はその動作波形図、第3図は本発明の一実施例を示す回路図である。

図中、Tはトランス、N $_1$ は1次巻線、T r_0 はスイッチング素子、N $_2$ 、N $_3$ 、N $_4$ は2次巻線、 Q_1 は整流用FET、 Q_2 は逆流用FET、T r_1 、T r_2 はゲート電圧制御用トランジスタ、

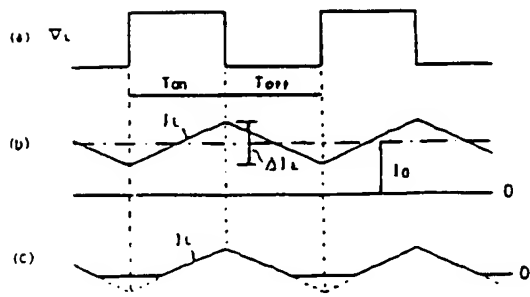
Cはコンデンサ、Lはチャークコイル、CMPは
は出力電圧検出用コンパレータである。

出 願 人 富 士 通 株 式 会 社
代 理 人 弁 理 士 青 柳 社

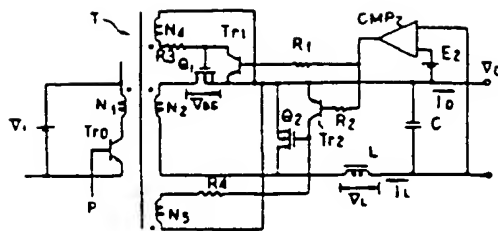
第 1 図



第 2 図



第 3 図



SHUSAKU YAMAMOTO

Your Ref: 02445.037

Translation of Japanese Laid-Open Publication

Laid-Open Publication Number: 60-156269

Laid-Open Publication Date: August 16, 1985

Title of the Invention: Direct-current to direct-current converter

Application Number: 59-11459

Filing Date: January 25, 1984

Inventor(s): Y. UEKI ET AL.

Applicant: Fujitsu, Ltd.

Specification

1. Title of the Invention

Direct-current to direct-current converter

2. Claim

A direct-current to direct-current converter, in which a direct current flowing in a primary coil of a transformer is switched on or off to induce a voltage in a secondary coil of the transformer; and a rectifying element, a capacitor and a choke coil are connected in series to a closed loop including the secondary coil, and furthermore a circulating element is connected to a circulation path which bypasses the secondary coil and the rectifying element so as to provide an output voltage from both of two ends of the capacitor,

the direct-current to direct-current converter being characterized in that: the rectifying element and the circulating element are both a field effect transistor; the field effect transistors are driven by voltages having opposite phases to each other which are induced by another

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

secondary coil of the transformer so as to provide the conduction with directionality; and the direct-current to direct-current converter further comprises a comparator for comparing the output voltage with a constant value, and a gate voltage controlling transistor which is controlled by an output from the comparator and reduces the voltage applied between a gate and a source of each of the field effect transistors as the output voltage becomes lower than the constant value.

3. Detailed Description of the Invention

Field of the Invention:

The present invention relates to a pulse width controlled-type direct-current to direct-current (DC-DC) converter including a circuit for suppressing an increase in the output voltage when the load is light.

Prior Art and Problems thereof

Figure 1 shows an example of a conventional pulse width controlled-type DC-DC converter. A switching transistor Tr0 is connected in series with a primary coil N1 of a transformer T, and a DC voltage Vi is applied to the connected switching transistor Tr0 and primary coil N1. The transistor Tr0 is turned on or off in this state to cause an electric current to intermittently flow in the primary coil N1. The voltage induced to the secondary coil N2 (coil ratio of N1:N2=n:1) at this point is rectified by a rectifying diode D1, thus providing an output current IO. A comparator CMP1 compares an output voltage VO with a reference value E1 and applies the difference to a pulse (rectangular wave) generator PG, thereby generating a pulse P for driving a transistor Tr1. The pulse P turns the

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

transistor Tr0 on or off so that the output voltage V_0 is equal to the reference value E_1 (the duty ratio of the pulse P changes). Letters D3 represent a diode for a fly wheel, and forms a circulation path on the primary coil side together with a coil N3. In other words, when the transistor Tr0 is turned off, the electric current in the primary coil N1 is blocked, and an overvoltage tends to be generated at this point. However, since a voltage is generated in the coil N3 and causes a current having a polarity to charge a power supply V_i via V_i and D3, the generation of the overvoltage is prevented.

The current rectified by the diode D1 becomes an output current I_0 and also charges a capacitor C . The charged current and the output current I_0 passing through the load flow to the coil N2 via a choke coil L . When the voltage induced in the secondary coil N2 has an opposite polarity (when the transistor Tr0 is off), the current stops flowing in the coil N2 and circulates via the diode D2 for a fly wheel instead. A choke current I_L flowing in the coil L has a triangular waveform as shown in Figure 2(b). Letters T_{on} represent a period in which the transistor Tr0 is on. The current I_L linearly increases during this period and linearly decreases during the off period T_{off} . The value of the above-mentioned load (output) current I_0 is approximately equal to the average value of the current I_L .

The voltage V_L generated in the coil L has a rectangular waveform in synchronization with the pulse P as shown in Figure 2(a). The voltage V_L and the amplitude ΔI_L of the fluctuation of the current I_L have the following

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

relationship where the input voltage to the transformer T is V_{in} , the forward voltage of the diode D1 is V_F , and letters n , V_0 , L and T_{on} represent the elements described above:

$$V_L = V_{in} \cdot 1/n - V_F - V_0 \dots (1)$$

$$\Delta I_L = V_L \cdot T_{on} / L \dots (2)$$

Accordingly, when the load is large so as to realize $I_0 \geq \Delta I_L / 2$, I_L continuously flows, although fluctuating as shown in Figure 2(b). In contrast, when the load is small so as to realize $I_0 < \Delta I_L / 2$, the choke current I_L flows intermittently (a current is supplied from the capacitor C to the load while $I_L = 0$) as shown in Figure 2(c), and thus a problem occurs that the output voltage V_0 is increased by the voltage generated in the choke coil L.

There are two conventional methods to solve the problem. According to one of the two methods, the value of ΔI_L is reduced in order to maintain the relationship of $I_0 \geq \Delta I_L / 2$. However, in accordance with this method, the inductance of the coil L needs to be increased as can be appreciated from expression (2). Therefore, the outer dimension is enlarged and the production cost is increased. According to the other method, the value of I_0 is kept high in order to maintain the relationship expressed by the above-described inequality. For realizing this, it is necessary to connect a dummy resistor R_D to the output terminal and send a part of a load current I_D to the dummy resistor R_D . Therefore, efficiency is lowered due to the ever-present power loss, and the reliability when the load

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

is heavy is reduced due to the heat generated at various elements of the converter.

Objective of the Invention:

The present invention has an objective of reducing the voltage V_L applied to the choke coil when the load is light so as to prevent the intermittent flow of the choke current I_L and thus to prevent an increase in the output voltage V_O .

Structure of the Invention:

The present invention relates to a direct-current to direct-current converter, in which a direct current flowing in a primary coil of a transformer is switched on or off to induce a voltage in a secondary coil of the transformer; and a rectifying element, a capacitor and a choke coil are connected in series to a closed loop including the secondary coil, and furthermore a circulating element is connected to a circulation path which bypasses the secondary coil and the rectifying element so as to provide an output voltage from both of two ends of the capacitor,

the direct-current to direct-current converter being characterized in that: the rectifying element and the circulating element are both a field effect transistor; the field effect transistors are driven by voltages having opposite phases to each other which are induced by another secondary coil of the transformer so as to provide the conduction with directionality; and the direct-current to direct-current converter further comprises a comparator for comparing the output voltage with a constant value, and a gate voltage controlling transistor which is controlled by an output from the comparator and reduces the voltage

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

applied between a gate and a source of each of the field effect transistors as the output voltage becomes lower than the constant value. Hereinafter, the present invention will be described in detail with reference to the drawings.

Examples of the Invention:

Figure 3 is a circuit diagram illustrating an important part of an example of the present invention. In Figure 3, identical elements previously discussed with respect to Figure 1 bear identical reference numerals, except that parts corresponding to D3, N3, PG, CMP and El in Figure 1 are omitted. This example is different from the example shown in Figure 1 in that the diodes D1 and D2 in Figure 1 are replaced with field effect transistors (FETs) Q1 and Q2, that the FETs Q1 and Q2 are switched on or off alternately by voltages (having an opposite polarity to N2) generated in coils N4 and N5 so as to provide a rectification function, and that the level (high or low) of the output voltage V0 is detected by the comparator CMP2 so as to control the conductivities of the FETs Q1 and Q2. Letters Tr1 and Tr2 represent transistors for controlling the conductivities of Q1 and Q2, and the transistors Tr1 and Tr2 are connected between gates and sources of Q1 and Q2. Letters R1 and R2 represent base resistors thereof.

In the transistors Tr1 and Tr2, collectors and emitters thereof are connected in parallel to the gates and sources of the FETs Q1 and Q2. Accordingly, when the conductivities of the transistors Tr1 and Tr2 increase, the potentials applied between the gates and sources of the FETs Q1 and Q2 decrease, resulting in reduction in the conductivities of the FETs Q1 and Q2 (the resistances

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

increase). When the conductivities of the transistors Tr1 and Tr2 decrease, the converter operates in the opposite manner. When the transistors Tr1 and Tr2 are off, the FETs Q1 and Q2 perform a perfect switching operation. When the output voltage V_0 is higher than a constant value E_2 , the comparator CMP2 turns off both the transistors Tr1 and Tr2 so as to turn on or off the FETs Q1 and Q2 in accordance with the voltages generated in the coils N4 and N5. This operation is similar to the operation conducted in the circuit shown in Figure 1 when the load is heavy and the diodes D1 and D2 are used in lieu of Q1 and Q2.

In contrast, when the output voltage V_0 is lower than the constant value E_2 , the comparator CMP2 applies a voltage corresponding to the difference to bases and emitters of the transistors Tr1 and Tr2 so as to cause an analog operation of the transistors Tr1 and Tr2. As a result, the voltages applied between the gates and sources of the FETs Q1 and Q2 decrease, and thus the FETs Q1 and Q2 conduct an analog operation. However, since the FETs Q1 and Q2 are completely turned off, such an analog operation does not affect the rectification function. Since the resistance when the FETs Q1 and Q2 are turned on is higher than that during the switching operation, the voltage V_{DS} between the drain and source is higher than that during the switching operation. The voltage V_{DS} corresponds to the forward voltage V_F of the diode D1 in Figure 1. Therefore, as can be appreciated from expression (1), when the voltage V_{DS} increases, the voltage V_L generated in the choke coil L decreases and thus the amplitude ΔI_L of the choke current I_L decreases. Accordingly, even when the current I_0 is small due to the small load, the relationship of $I_0 \geq \Delta I_L / 2$

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

is easily maintained, so that an increase in the output voltage V_D can be suppressed. When the FET Q_1 performs an analog operation, the load is light and the current I_O is small. Therefore, the total heat generation is small compared to the case of a conventional diode D_1 which always has V_F remaining when being on. In the case where MOSFETs are used as the FETs Q_1 and Q_2 , the controlling range is about 5V, which is the voltage between the gate and source. In the case where bipolar transistors are used, the controlling range is reduced to only about 0.7V, which is the voltage between the base and emitter.

The FET Q_2 is turned on or off oppositely to the FET Q_1 and thus acts as a unidirectional element having the same polarity as that of the diode D_2 in Figure 1. The conductivity of the FET Q_2 is controlled by the transistor Tr_2 in order to restrict the circulating current so as to prevent I_L from becoming 0.

Effect of the Invention

As described above, the present invention has an advantage of, in a DC-DC converter, restricting an increase in the output voltage when the load is light, without increasing the smoothing choke coil or connecting an extra dummy resistor on the load side.

4. Brief Description of the Drawings

Figure 1 is a circuit diagram illustrating an example of a conventional DC-DC converter, Figure 2 is an operational waveform diagram thereof, and Figure 3 is a circuit diagram illustrating an example according to the present invention.

THIS PAGE BLANK (USPTO)

SHUSAKU YAMAMOTO

Your Ref: 02445.037

In the figures, T is a transformer; N1 is a primary coil; Tr0 is a switching element; N2, N4 and N5 are secondary coils; Q1 is a FET for rectification; Q2 is a FET for circulation; Tr1 and Tr2 are transistors for controlling the gate voltage; C is a capacitor; L is a choke coil; and CMP2 is a comparator for detecting an output voltage.

THIS PAGE BLANK (USPTO)

符號 60-156269(4)

Fig. 1

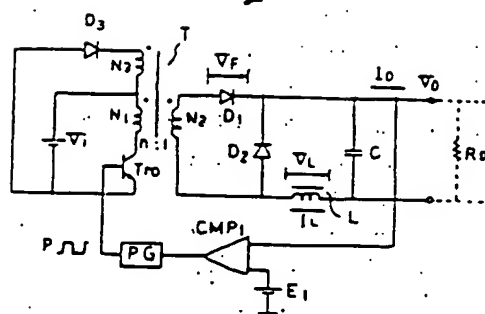


Fig. 2

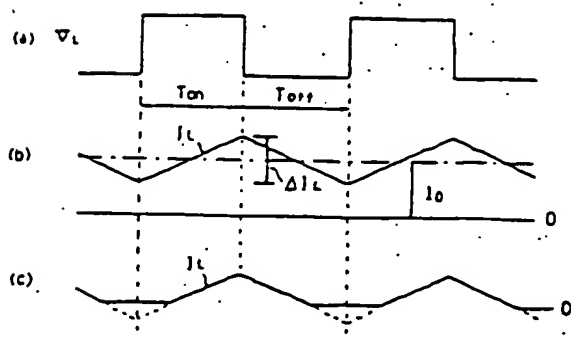
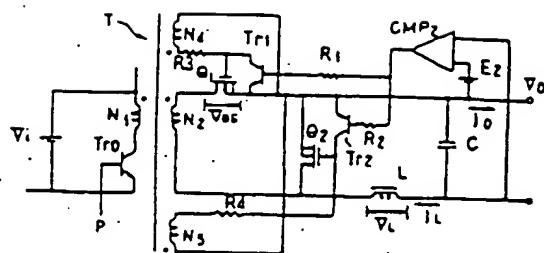


Fig. 3



THIS PAGE BLANK (USPTO,

① 日本国特許庁 (J P)

④ 特許出願公開

⑤ 公開特許公報 (A)

昭60-156269

⑥ Int. Cl.

識別記号

庁内整理番号

⑦ 公開 昭和60年(1985)8月16日

H 02 M 3/28

6957-5H

審査請求 未請求 発明の数 1 (全4頁)

⑧ 発明の名称 直流-直流コンバータ

⑨ 特 願 昭59-11459

⑩ 出 願 昭59(1984)1月25日

⑪ 発 明 者 植 木 洋 一 川崎市中原区上小田中1015番地 富士通株式会社内
⑫ 発 明 者 鷲 尾 敏 文 川崎市中原区上小田中1015番地 富士通株式会社内
⑬ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地
⑭ 代 理 人 弁理士 青 柳 登

RECEIVED
OCT. 03. 1997
S. YAMAMOTO

明 細 書

1. 発明の名称

直流-直流コンバータ

2. 特許請求の範囲

トランスの1次巻線に流れる直流電流をスイッチング素子でオン、オフさせることにより該トランスの2次巻線に電圧を誘起させ、さらに該2次巻線を含む閉ループに整流素子、コンデンサおよびチョークコイルを直列に接続すると共に、該2次巻線および整流素子を迂回する導流路に整流素子を接続して該コンデンサの両端から出力電圧を得るようにした直流-直流コンバータにおいて、
該整流素子および整流素子をいずれも電界効果トランジスタとし、またこれらのトランジスタを前記トランスの他の2次巻線に誘起される互いに逆位相の電圧で駆動するようにして導流路の方向性を持たせ、さらに前記出力電圧を一定値と比較するコンパレータと、該コンパレータの出力により制御され、前記各電界効果トランジスタのゲート、ソース間に加わる電圧を、該出力電圧が該一定値

より低くなるにつれて低下させるゲート電圧制御用のトランジスタとを備えてなることを特徴とする直流-直流コンバータ。

3. 発明の詳細な説明

発明の技術分野

本発明は、軽負荷時の出力電圧上昇を抑圧する回路を備えたパルス幅制御型直流-直流(DC-DC)コンバータに関する。

従来技術と問題点

第1図は従来のパルス幅制御型DC-DCコンバータの一例を示す。トランスTの1次巻線N₁と直列にスイッチング用のトランジスタT_rを接続し、これらに直流電圧V_iを印加する。そしてトランジスタT_rをオン、オフして1次巻線N₁に断続的に電流を流し、そのとき2次巻線N₂(巻線比はN₁:N₂=n:1)に誘起される電圧を整流用ダイオードD₁で整流して出力電流I_oを得る。コンパレータCMP₁は出力電圧V_oを基準値E₁と比較し、その電圧をパルス(矩形波)発生器PGに与えてトランジスタT_rを電

THIS PAGE BLANK (USPTO)

動するパルスPを発生させる。このパルスPは出力電圧V_oが高電圧E₁に等しくなるようにトランジスタT₁をオンオフする(パルスPのデューティが変化する)。D₁はフライホイール用ダイオードで、巻線N₁と共に1次側の整流器を形成する。即ち、トランジスタT₁がオフになると1次巻線N₁の電流は断たれ、このとき逆起電圧が発生しようとするが、これは巻線N₁に電圧を発生し、この電圧がV_i、D₁を過って巻線V₁を充電する極性の電流を流し、これにより逆起電圧の発生を阻止する。

ダイオードD₁で整流された電流は出力電流I_oになると共にコンデンサCを充電し、そしてこの充電電流及び負荷を過った出力電流I_oはチョークコイルLを経て巻線N₂に流れるが、2次巻線N₂に誘起する電圧が逆起性のとき(トランジスタT₁がオフのとき)電流は巻線N₂を流れなくなり、代ってフライホイール用ダイオードD₁を過して逆流する。コイルLに流れるチョーク電流I_Lは第2図10のような三角波となる。T_{on}は

トランジスタT₁のオン期間で、この期間に電流I_Lは直線的に増加し、逆にオフ期間T_{off}に直線的に減少する。前述の負荷(出力)電流I_oはV_oこの平均値である。

ところで、コイルLに発生する電圧V_Lは第2図10に示す如くパルスPに同期した矩形波となり、電圧V_Lと、電流I_Lの定動分の脈幅ΔI_Lは、トランスTの入力電圧をV_{1s}、ダイオードD₁の順方向電圧をV_p、 ϕ 、V_o、L、T_{on}は前述の通りとして、

$$V_L = V_{1s} \cdot \frac{1}{\phi} - V_p - V_o \quad \text{--- (1)}$$

$$\Delta I_L = \frac{V_L \cdot T_{on}}{L} \quad \text{--- (2)}$$

の関係にあるので、負荷が重くI_o ≥ ΔI_L / 2であればI_Lは第2図10のように変動はするが連続して流れる。しかし、負荷が軽くI_o < ΔI_L / 2であると図10のようにチョーク電流I_Lは断続し(I_L = 0の期間はコンデンサCから負荷に電流が供給される)、このためチョークLに発生する電圧で出力電圧V_oが上昇する問題を生ず

る。

従来はこの問題を解決するために2つの方法を用いている。1つはI_o ≥ ΔI_L / 2の関係を維持するためにΔI_Lの値を小さくしようとする方法である。しかしながらこの方法では印式から明らかのようにコイルLのインダクタンスを増大させねばならないので、外形寸法が大きくなり、また高価になる欠点がある。他の方法は上記の不等式の関係を維持するためにI_oの値を大きく保とうとするものである。このためには出力端にダイオードR₁を接続してここに負荷電流I_oの一部を流す必要があるため、常に電力損失があって効率が悪く、また特に重負荷時に各部発熱により信頼性を低下させる欠点がある。

発明の目的

本発明は、軽負荷時にチョークコイルに加わる電圧V_Lを小さくすることでチョーク電流I_Lの断続を防止し、出力電圧V_oの上昇を防止しようとするものである。

発明の構成

本発明は、トランスの1次巻線に流れる直流電流をスイッチング素子でオン、オフさせることにより該トランスの2次巻線に電圧を誘起させ、さらに該2次巻線を含む閉ループに整流素子、コンデンサおよびチョークコイルを直列に接続すると共に、該2次巻線および整流素子を迂回する導流路に整流素子を接続して該コンデンサの両端から出力電圧を得るようにした直流-直流コンバータにおいて、該整流素子および導流素子をいずれも電界効果トランジスタとし、またこれらのトランジスタを前記トランスの他の2次巻線に誘起される互いに逆位相の電圧で駆動するようにして導流に方向性を持たせ、さらに前記出力電圧を一定値と比較するコンパレータと、該コンパレータの出力により制御され、前記各電界効果トランジスタのゲート、ソース間に加わる電圧を、該出力電圧が該一定値より低くなるにつれて低下させるゲート電圧制御用のトランジスタとを備えてなることを特徴とするが、以下図示の実施例を参照しながらこれを詳細に説明する。

THIS PAGE BLANK (USPTO)

発明の実施例

第3図は本発明の一実施例を示す要部回路図で、第1図と同一部分には同一符号が付してある。但し、第1図の D_1 、 N_1 、 P_C 、 CMP 、 E_1 に相当する部分は省略してある。本例が第1図と異なる主な点は、第1図のダイオード D_1 、 D_2 を電界効果トランジスタ(FET) Q_1 、 Q_2 に代え、そのオン、オフ期間を電圧 N_1 、 N_2 に発生する電圧(極性が N_1 とは逆)で交互に切換えて整流作用をもたせると共に、コンパレータ CMP で出力電圧 V_o の高、低を検出してFET Q_1 、 Q_2 の導通度を制御するようにした点にある。T r_1 、T r_2 は給 Q_1 、 Q_2 の導通度制御用のトランジスタで Q_1 、 Q_2 のゲート、ソース間に接続され、R $_1$ 、R $_2$ はそれらのベース抵抗である。

トランジスタT r_1 、T r_2 はそのコレクタ、エミッタ間をFET Q_1 、 Q_2 のゲート、ソース間に並列接続したものであるから、トランジスタT r_1 、T r_2 の導通度が増せばFET Q_1 、

Q_2 のゲート、ソース間に印加される電圧が低下し、FET Q_1 、 Q_2 の導通度が低下する(抵抗値が増す)。トランジスタT r_1 、T r_2 の導通度が減少すれば逆の関係になり、トランジスタT r_1 、T r_2 がオフであればFET Q_1 、 Q_2 は完全なスイッチング動作をする。コンパレータ CMP は出力電圧 V_o が一定値 E_1 より高ければトランジスタT r_1 、T r_2 を共にオフにしてFET Q_1 、 Q_2 を電圧 N_1 、 N_2 に発生する電圧で使い交互にオン、オフ動作させる。これは負荷が重い場合で、 Q_1 、 Q_2 をダイオード D_1 、 D_2 とした第1図の回路と同様である。

これに対し出力電圧 V_o が一定値 E_1 より低いと、コンパレータ CMP はその差に応じた電圧をトランジスタT r_1 、T r_2 のベース、エミッタ間に印加してこれらのトランジスタをアナログ動作させる。この結果、FET Q_1 、 Q_2 のゲート、ソース間に印加される電圧は低下するので、FET Q_1 、 Q_2 もアナログ動作する。但し、これらのFET Q_1 、 Q_2 のオフは完全に行な

われるので整流作用には支障がない。ただ、オン時の抵抗値がスイッチング動作時より高くなるので、その分ドレイン、ソース間電圧 V_{DS} はスイッチング動作時より高くなる。この電圧 V_{DS} は第1図のダイオード D_1 の順方向電圧 V_F に相当するので、これが高くなるということは10式から明らかのようにチョークコイル L に発生する電圧 V_L を低くし、延いてはそのチョーク電流 I_L の振幅 ΔI_L を減少させる。このため、軽負荷で電流 I_L が小なる場合でも $I_L \approx \Delta I_L / 2$ の関係を維持しやすく、出力電圧 V_o の上昇を抑圧できる。また、FET Q_1 、 Q_2 をアナログ動作させるときは軽負荷で電流 I_L が小さいため、常にオン時に V_F が流る従来のダイオード D_1 より、むしろトータルの発熱量は少ない。さらに Q_1 、 Q_2 にMOS FETを使用するとその制御回路はゲート、ソース間電圧の5V程度の値にすることができ、これをバイポーラトランジスタにするとそのベース、エミッタ間電圧の約0.7Vにしかならず、制御回路が狭くなる。

FET Q_2 のオン、オフはFET Q_1 と逆になり、これにより第1図のダイオード D_2 と同じ極性の電流成分となる。このFET Q_1 に対してもトランジスタT r_2 を設けてその導通度を制御しているのは整流電流を制御して I_L が0になるのを防ぐためである。

発明の効果

以上述べたように本発明によれば、DC-DCコンバータにおいて平滑用のチョークコイルを大きくせず、また負荷側に無駄なダイオード抵抗を接続する必要もなく、軽負荷時の出力電圧の上昇を抑圧できる利点がある。

4. 図面の簡単な説明

第1図は従来のDC-DCコンバータの一例を示す回路図、第2図はその動作波形図、第3図は本発明の一実施例を示す回路図である。

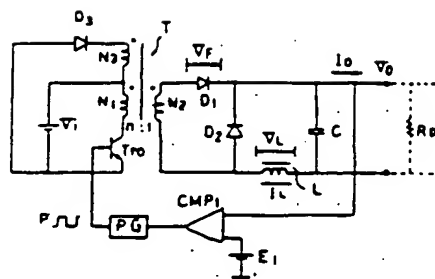
图中、Tはトランス、N $_1$ は1次巻線、T r_0 はスイッチング素子、N $_2$ 、N $_3$ は2次巻線、 Q_1 は整流用FET、 Q_2 は逆流用FET、T r_1 、T r_2 はゲート電圧制御用トランジスタ、

THIS PAGE BLANK (USPTO)

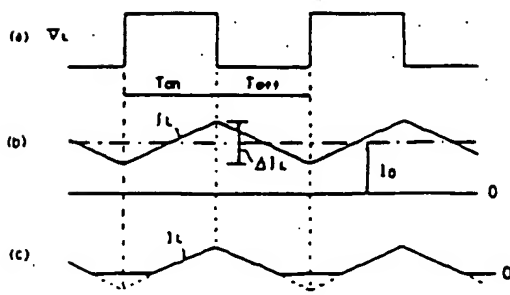
Cはコンデンサ、Lはチャークコイル、CMP1は出力電圧検出用コンパレータである。

出願人 富士通株式会社
代理人 弁理士 青 柳 社

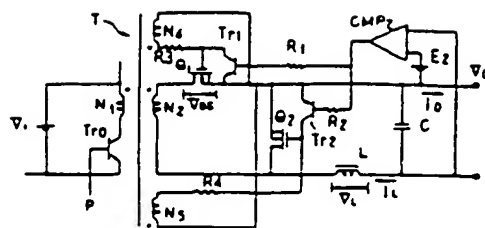
第 1 図



第 2 図



第 3 図



THIS PAGE BLANK (USPTO)

CERTIFICATE OF TRANSLATION

I, SHUSAKU YAMAMOTO, patent attorney of Fifteenth Floor, Crystal Tower, 1-2-27 Shiomi, Chuo-ku, Osaka 540-6015, Japan HEREBY CERTIFY that I am acquainted with the English and Japanese languages and that the attached English translation is a true English translation of what it purports to be, a translation of Japanese Laid-open Publication No. 60-156269, entitled "Direct-current to direct-current converter", laid-opened on August 16, 1985.

Additionally, I verify under penalty of perjury under the laws of the United States of America that the foregoing is true and correct.

Executed this 11th day of June, 1998.


SHUSAKU YAMAMOTO

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)